

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Takahisa HAYASHI :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed November 4, 2003 : Attorney Docket No. 2003-1559A
SEMICONDUCTOR DEVICE AND :
METHOD OF MANUFACTURING THE :
SAME :

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

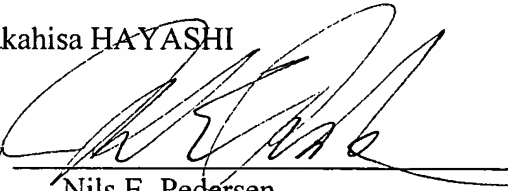
Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2003-153693, filed May 30, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Takahisa HAYASHI

By


Nils E. Pedersen
Registration No. 33,145
Attorney for Applicant

NEP/krq
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
November 4, 2003

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEE FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975.

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月30日
Date of Application:

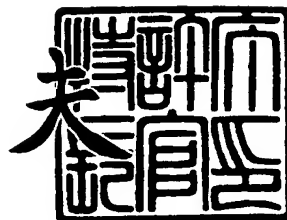
出願番号 特願2003-153693
Application Number:
[ST. 10/C]: [JP 2003-153693]

出願人 沖電気工業株式会社
Applicant(s):

2003年 8月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3064034

【書類名】 特許願

【整理番号】 FJ000188

【提出日】 平成15年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/22

【発明の名称】 半導体装置及びその製造方法

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 林 孝尚

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9801889

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 集積回路を含む基板と、
前記基板上に形成されている層間絶縁層と、
前記層間絶縁層上に第 1 電極層、強誘電体層及び第 2 電極層の順に積み重ねて形成されている強誘電体キャパシタと、

前記強誘電体キャパシタの前記第 2 電極層と前記集積回路とを前記層間絶縁層に形成されたコンタクトホールを介して電氣的に接続する配線層と、を含む半導体装置であって、

前記コンタクトホールの周縁部を除く前記強誘電体キャパシタの周縁を覆う絶縁性の側壁膜を有することを特徴とする半導体装置。

【請求項 2】 前記コンタクトホールには前記集積回路と前記配線層とを電氣的に接続するコンタクトプラグが設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記層間絶縁層は窒化シリコンと酸化シリコンとからなるプラグ酸化防止膜を含み、

前記強誘電体キャパシタが前記プラグ酸化防止膜上に形成されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記側壁膜は水素拡散防止層を含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記強誘電体層はタンタル酸ビスマスストロンチウムからなることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 集積回路を含む基板上に層間絶縁層を形成する層間絶縁層形成工程と、

前記層間絶縁層に前記集積回路の 1 部を露出せしめるコンタクトホールを形成するコンタクトホール形成工程と、

前記層間絶縁層上に第 1 電極層、強誘電体層及び第 2 電極層の順に積み重ねて強誘電体キャパシタを形成する強誘電体層形成工程と、

前記強誘電体キャパシタの前記第 2 電極層と前記集積回路とを前記層間絶縁層に形成された前記コンタクトホールを介して電氣的に接続する配線層を形成する配線層形成工程と、を含む半導体装置の製造方法であって、

前記強誘電体キャパシタを等方的に覆う絶縁材料からなる保護膜を形成する保護膜形成工程と、

前記保護膜に異方性エッチングを施して前記コンタクトホールの周縁部を除く前記強誘電体キャパシタの周縁を覆う絶縁性の側壁膜を形成する側壁膜形成工程と、が含まれていることを特徴とする半導体装置の製造方法。

【請求項 7】 前記コンタクトホールに導電性材料からなるコンタクトプラグを設けるコンタクトプラグ形成工程が含まれることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 前記層間絶縁層形成工程が前記層間絶縁層上に窒化シリコンと酸化シリコンとからなるプラグ酸化防止膜を形成するプラグ酸化防止膜形成工程を含み、

前記強誘電体キャパシタ形成工程が前記プラグ酸化防止膜上に前記強誘電体キャパシタを形成する工程である、ことを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記側壁膜形成工程が前記強誘電体キャパシタを支持する部分を除いて前記プラグ酸化防止膜を除去する工程を含むことを特徴とする請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

強誘電体キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来技術】

不揮発性半導体メモリとして、強誘電体材料の分極が印加電界に対してヒステリシス（履歴特性）を示すことを利用した強誘電体メモリが知られている。該強誘電体メモリは、書き込み及び読み出し動作時間が短く、低電圧で駆動できる特

性を有する。かかる特性を利用することによって、従来のEEPROM等の不揮発性メモリとの置換だけではなく、DRAM等の揮発性メモリとの置換もできることから、強誘電体メモリの研究開発が行われている。

【0003】

該強誘電体メモリは複数のメモリセルを有している。該メモリセルは、強誘電体層が下部電極層と上部電極層とによって挟持されて形成されている強誘電体キャパシタ（以下キャパシタと称する）を含んでいる。

該キャパシタは、例えば白金（Pt）からなる下部電極層、ジルコン酸チタン酸鉛（PZT）などの強誘電体材料からなる強誘電体層及びPtからなる上部電極層が順に形成されている積層体である。該積層体は、CVD法により形成された二酸化シリコン（SiO₂）からなる保護層に覆われて保護されている（例えば、特許文献1参照）。

【0004】

該保護層を形成する工程において、シランガス等の水素化ガスが保護層材料として使用されている。水素化ガスが分解して保護層が形成できるものの、かかる分解によって発生した水素ガスが強誘電体層中に拡散すると、還元反応により強誘電体層が劣化してしまい、電気的特性が得られない。そこで、酸化タンタルからなる水素拡散防止層が形成されている保護層を有するキャパシタが提案されている（例えば、特許文献2参照）。

【0005】

該キャパシタが、例えばトランジスタからなるスイッチ素子に電氣的に接続されて、メモリセルが形成されている。

上記の如きキャパシタを含むメモリセルは、例えば、MOS型トランジスタが形成されているシリコン基板上に形成されている。該MOS型トランジスタは層間絶縁膜に覆われており、該層間絶縁膜上で、下部電極層、強誘電体層及び上部電極層の順に積み重なって形成されているキャパシタが設けられている。キャパシタは保護層に覆われており、該保護層はキャパシタが設けられていない領域の層間絶縁層上も覆っている。

【0006】

該保護層には、上部電極層を露出せしめる上部電極層用コンタクトホールが形成されている。また、保護層と層間絶縁層とを貫通してMOS型トランジスタのソース／ドレイン領域を露出せしめるソース／ドレイン用コンタクトホールも設けられている。かかる上部電極層用コンタクトホール及びソース／ドレイン用コンタクトホールを介して上部電極層とソース／ドレイン領域とを電氣的に接続する接続配線が形成されて、該キャパシタと該MOS型トランジスタが接続されている。

【0007】

上記の如き構成のメモリセルを含む強誘電体メモリは、高速駆動及び低電力駆動ができることから、ロジック用のLSIのメモリとしても使用できる（例えば、非特許文献1参照。）。

強誘電体メモリが混載されているLSI（以下混載LSIと称する）は、MOS型トランジスタ等のスイッチ素子および該スイッチ素子に接続されているキャパシタが形成されているメモリ領域と、CMOS等のロジック回路素子を有するロジック回路が形成されているロジック領域と、を含む。

【0008】

メモリ領域は上述した強誘電体メモリと同様の構成であり、スイッチ素子とキャパシタが該スイッチ素子を覆う層間絶縁膜及び該キャパシタを覆う保護層に形成されたコンタクトホールを介して接続されている。

ロジック領域には、基板上に形成されたロジック回路素子と、該ロジック回路素子を覆う層間絶縁層と、が形成されている。該層間絶縁層上にはキャパシタを覆っている保護層が形成されている。かかる層間絶縁層と保護層は、当該両層を貫通してロジック回路素子のソース／ドレイン領域を露出せしめるロジック回路素子用コンタクトホールが形成されている。該ロジック回路素子用コンタクトホールを介してロジック回路素子を接続するロジック回路配線が設けられ、ロジック回路が形成されている。

【0009】

【特許文献1】

特開平9-121023号公報

【0010】

【特許文献2】

特開 2002-353414 号公報

【0011】

【非特許文献1】

「FeRAM混載LSIの実用化をめざして」, 強誘電体メモリ先端プロセス, 第1版, 株式会社サイエンスフォーラム, 1999年9月13日, p244-246

【0012】

【発明が解決しようとする課題】

上記の如き構成の強誘電体メモリ及び混載LSIは、配線幅が小となると保護層を貫通して設けられたコンタクトホールのアスペクト比が大となることから、コンタクトホール内に材料が均一に堆積できない故、接続配線の成膜時にキャパシタとスイッチ素子と間の接続配線に断線が発生してしまう。かかる断線は、水素の拡散を防止する機能などを有する機能層を含むことによって保護層の厚さが大となることによっても、発生してしまう。

【0013】

【課題を解決するための手段】

本発明による半導体装置は、集積回路を含む基板上に形成されている層間絶縁層と、該層間絶縁層に設けられたコンタクトホールと、該層間絶縁層上に第1電極層、強誘電体層及び第2電極層の順に積み重ねて形成されている強誘電体キャパシタと、該コンタクトホールの周縁部を除く該強誘電体キャパシタの周縁を覆う絶縁性の側壁膜と、を含む。かかる半導体装置には、該強誘電体キャパシタの該第2電極層と該集積回路とを該層間絶縁層に形成された該コンタクトホールを介して電氣的に接続する配線層が形成されている。

【0014】

本発明による半導体装置の製造方法は、集積回路を含む基板上に層間絶縁層を形成する層間絶縁層形成工程と、該層間絶縁層に該集積回路の1部を露出せしめるコンタクトホールを形成するコンタクトホール形成工程と、該層間絶縁層上に

第1電極層、強誘電体層及び第2電極層の順に積み重ねて強誘電体キャパシタを形成する強誘電体層形成工程と、該強誘電体キャパシタを等方的に覆う絶縁材料からなる保護膜を形成する保護膜形成工程と、該保護膜に異方性エッチングを施して該コンタクトホール7の周縁部を除く該強誘電体キャパシタの周縁を覆う絶縁性の側壁膜を形成する側壁膜形成工程と、該強誘電体キャパシタの該第2電極層と該集積回路とを該層間絶縁層に形成された該コンタクトホール7を介して電氣的に接続する配線層を形成する配線層形成工程と、を含む。

【0015】

【発明の実施の形態】

本発明の半導体装置の実施例を、添付図面を参照しつつ詳細に説明する。なお、以下の説明および添付された図面においては、略同一の機能および構成を有する構成要素については、同一符号が付されている。

図1に示す如く、本発明による半導体装置1は、例えばシリコンなどの半導体材料からなる基板2を含む。基板2のメモリ領域には例えばスイッチ素子を含む集積回路が形成されており、ロジック領域には例えばロジック回路素子を含む集積回路が形成されている。スイッチ素子及びロジック回路素子は、例えばゲート電極3、ゲート絶縁層4、ソース／ドレイン領域5を有するMOS型トランジスタである。

【0016】

スイッチ素子及びロジック回路素子は、第1層間絶縁層6に覆われている。第1層間絶縁層6は、例えば1000nmの厚さの酸化シリコンからなり且つスイッチ素子のソース／ドレイン領域5を露出させる第1コンタクトホール7が形成されている。また、ロジック回路素子のソース／ドレイン領域5を露出させる第2コンタクトホール8も形成されている。第1コンタクトホール7には、タングステン(W)などの導電性材料からなる第1コンタクトプラグ9が形成され、第2コンタクトホール8には、導電性材料からなる第2コンタクトプラグ10が形成されている。第1及び第2コンタクトプラグ9、10は各々ソース／ドレイン領域5に電氣的に接続されている。

【0017】

第1層間絶縁層6上には、酸素ガスを通過させない特性を有するプラグ酸化防止膜11が形成されている。プラグ酸化防止膜11は、例えば、第1酸化シリコン膜12と窒化シリコン膜13と第2酸化シリコン膜14の積層体である。なおプラグ酸化防止膜11は、半導体装置の製造工程中に実施される酸素雰囲気での熱処理工程において、コンタクトプラグが酸化することを防止するための層である。なお、窒化シリコン膜が酸化シリコン膜によって挟持されることによって、プラグ酸化防止膜の上部若しくは下部に設けられている構造物との接着性が向上し、プラグ酸化防止膜が該構造物から剥離することが防止できる。

【0018】

プラグ酸化防止膜11には、メモリ領域の第1コンタクトプラグ9を露出せしめる第3コンタクトホール15と、ロジック領域の第2コンタクトプラグ10を露出せしめる第4コンタクトホール16が形成されている。

メモリ領域のプラグ酸化防止膜11上には、第1電極である下部電極層17が形成されている。下部電極層17は、導電性材料からなり、例えば150nmの厚さの白金(Pt)からなる。

【0019】

下部電極層17上には、強誘電体材料からなる強誘電体層18が設けられている。強誘電体層18は、例えば150nmの厚さのタンタル酸ビスマストロンチウム($\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、以下SBTと称する)からなり、強誘電体層18の端部が、下部電極層17上で段部を形成している。

強誘電体層18上には第2電極である上部電極層19が形成されている。上部電極層19は、例えば150nmの厚さのPt層である。上部電極層19の端部が、強誘電体層18上で段部を形成している。

【0020】

上記の如き下部電極層17と強誘電体層18と上部電極層19の積層体が、キャパシタ20となっている。

キャパシタ20には、第1コンタクトホール7、第2コンタクトホール8、第3コンタクトホール15及び第4コンタクトホール16の周縁部を除いてキャパシタ20の周縁を覆う絶縁性の側壁膜21が形成されている。側壁膜21は、下

部電極層 17、強誘電体層 18 及び上部電極層 19 の各々の側面を覆っている。
また、側壁膜 21 は、下部電極層 17 の 1 部も露出せしめても良い。

【0021】

側壁膜 21 は、例えば酸化タンタルからなる水素ガスの通過を阻止する機能を有する水素拡散防止層（図示せず）と酸化シリコンからなる金属酸化層（図示せず）とを含む積層体であっても良い。かかる側壁膜は、例えばキャパシタの側部を覆う水素拡散防止層と該水素拡散防止層が順に形成されている構造を有することとしても良い。

【0022】

側壁膜 21 を越えて延在し且つ上部電極層 19 と第 1 コンタクトプラグ 9 の一方とに電氣的に接続する接続配線 22 が、第 3 コンタクトホール 15 を介して形成されている。接続配線 22 は、A1 等の導電性材料からなり、例えば $0.5\mu\text{m}$ 以下の線幅を有する。側壁膜 21 に覆われていない部分の下部電極層 17 に電氣的に接続しているプレート線 23 と、他方の第 1 コンタクトプラグ 9 に電氣的に接続しているビット線 24 と、が A1 等の導電性材料によって形成されている。なお、メモリ領域においてキャパシタ 20 と接続している MOS 型トランジスタのゲート電極 3 は、ワード線となっている。上記の如く、トランジスタとキャパシタとを電氣的に接続することによって強誘電体メモリが形成される。

【0023】

ロジック領域には、第 4 コンタクトホール 16 を介して第 2 コンタクトプラグ 10 に電氣的に接続しているロジック回路配線 25 が設けられており、ロジック回路配線 25 がロジック回路を構成している。

上記の如き配線が形成されているメモリ領域とロジック領域は酸化シリコン等の絶縁材料からなる第 2 層間絶縁層 26 によって覆われている。

【0024】

かかる構成の強誘電体メモリは、キャパシタの周縁を覆う側壁膜がコンタクトホールの周縁部に形成されていないことから、コンタクトホールの深さを小とすることができる故、線幅が小である場合においても接続配線に断線が生じない。換言すれば、水素の拡散を防止する機能などを備えた機能層が含まれて厚さが大

となっている側壁膜を形成する場合であっても、線幅が小である強誘電体メモリを得ることができる。

【0025】

また、半導体装置のロジック領域に保護層が形成されていないことから、該保護層を介してロジック回路を形成することがない故、ロジック回路配線に断線が発生しない。

変形例として、コンタクトプラグと接続配線の接続がプラグ酸化防止膜に設けられたコンタクトホールを介さないで接続することとしてもよい。

【0026】

たとえば、図2に示す如く、半導体装置1aは、プラグ酸化防止膜11がキャパシタ20を支持する領域にのみ形成され、プラグ酸化防止膜11にコンタクトホールを設けることなく、第1及び第2コンタクトプラグ9、10を露出せしめることとしても良い。なお上記点を除いて、その他は図1に示す如き半導体装置1と同じ構成となっている。

【0027】

かかる構成の強誘電体メモリは、プラグ酸化防止膜のコンタクトホールを介さないで強誘電体メモリ及びロジック回路の配線ができることから、より配線幅が小である半導体装置が形成できる。

なお、上部電極層と接続配線の接着性を向上させるには、上部電極層と接続配線が接触する面積が大であることが望ましいことから、上部電極層の主面が広く露出していることが好ましい。例えば、上部電極層の側面が側壁膜に覆われ、上部電極層の主面上には側壁膜が存在していないこととしても良い。

【0028】

次に、上記の如きキャパシタの製造方法について説明する。

図3(a)に示す如く、例えばゲート電極3、ゲート絶縁層4、ソース／ドレイン領域5を有するMOS型トランジスタがメモリ領域及びロジック領域に形成されているシリコン基板2上に、第1層間絶縁層6が形成される。

第1層間絶縁層6が形成された後、図3(b)に示す如く、フォトリソグラフィなどのエッチング処理が施されて、メモリ領域のソース／ドレイン領域5を露

出せしめる第1コンタクトホール7と、ロジック領域のソース／ドレイン領域5を露出させる第2コンタクトホール8と、が形成される。第1及び第2コンタクトホール7, 8には、CVD法等の成膜方法を用いて、コンタクトホールを埋め且つ第1層間絶縁層6を覆うタングステン膜27が形成される。

【0029】

タングステン膜27はドライエッチング法によってエッチバックが施され、図3(c)に示す如く、第1及び第2コンタクトホール7, 8を埋め込む第1及び第2コンタクトプラグ9, 10が形成される。

図4(a)に示す如く、第1及び第2コンタクトプラグ9, 10が形成された基板2に、プラグ酸化防止膜11が形成される。プラグ酸化防止膜11は、CVD法等の成膜方法を用いて、例えば100nmの第1酸化シリコン膜12と、100nmの窒化シリコン膜13と、200nmの第2酸化シリコン膜14と、を順に成膜して得られる。窒化シリコン膜13は、後述する酸素雰囲気下中における熱処理工程において、第1及び第2コンタクトプラグに用いられている導電性材料が酸化することを防止することができる。

【0030】

図4(b)に示す如く、プラグ酸化防止膜11上に、例えばスパッタ法を用いて150nmのPtからなる下部電極層28が形成される。下部電極層形成後、ストロンチウム(Sr)、ビスマス(Bi)及びタンタル(Ta)を含有するSBT前駆体溶液がスピコート法などの成膜方法によって下部電極層上に配されて、強誘電体膜29が成膜される。強誘電体膜29は、酸素雰囲気下中にて750℃で5時間の熱処理が施される。熱処理後、スパッタ法を用いて150nmのPtからなる上部電極層30が形成される。

【0031】

下部電極層28、強誘電体膜29及び上部電極層30は、フォトレジストを用いた公知のフォトリソグラフィー法及びドライエッチング法によって加工されて、図4(c)に示す如きキャパシタ20が得られる。

キャパシタ20が形成された後、図5(a)に示す如く、キャパシタ20を覆い且つ等方的な厚さを有する保護膜31がスパッタ法やCVD法などの成膜方法

を用いて形成される。保護膜 31 は、例えば酸化タンタルからなる水素拡散防止層と酸化シリコン膜と順に成膜して形成され得る。

【0032】

保護膜 31 は、イオンミリング等の異方性エッチング法を用いてエッチングが施される。かかるエッチング処理により、図 5 (b) に示す如く、強誘電体キャパシタ 20 の周縁を覆う絶縁性の側壁膜 21 が形成される。なお、上記エッチング処理によって、上部電極層が露出する。上部電極層の露出面積は広いことが好ましく、上部電極層の主面に側壁膜が存在しないことが好ましい。

【0033】

なお、側壁膜が形成された後に、酸素雰囲気中にて熱処理が施されても良く、例えば 750℃で 1 時間の熱処理が実施されても良い。かかる熱処理によって、側壁膜の形成までに強誘電体層内に発生したダメージが除去され、強誘電体層の電気的特性が回復する。

側壁膜が形成された後、図 6 (a) に示す如く、フォトリジスト膜をマスクとするドライエッチングによって、メモリ領域のプラグ酸化防止膜に、第 1 コンタクトプラグ 9 を露出せしめる第 3 コンタクトホール 15 が形成される。同時に、ロジック領域のプラグ酸化防止膜には、第 2 コンタクトプラグ 10 を露出せしめる第 4 コンタクトホール 16 が形成される。

【0034】

図 6 (b) に示す如く、第 1 コンタクトプラグ 9 の一方と上部電極層とを第 3 コンタクトホール 15 を介して接続し且つ側壁膜を越えて形成されている接続配線 22 が、スパッタ法によって形成される。同時に、下部電極層 17 に接続するプレート線 23 と、他方の第 1 コンタクトプラグ 9 に接続するビット線 24 と、が形成されて、強誘電体メモリが形成される。また、ロジック領域においても第 4 コンタクトホール 16 を介して第 2 コンタクトプラグ 10 に接続するロジック回路配線 25 が形成される。

【0035】

かかる配線が形成されたメモリ領域とロジック領域が酸化シリコン等の第 2 層間絶縁層によって覆われて、図 1 に示す如き半導体装置 1 が得られる。

上記の如き製造方法によれば、キャパシタの側面のみを覆う側壁膜が形成できることから、上部電極層と下部電極層の間の短絡と強誘電体層の劣化を防止することができる。また、配線幅を小としても断線が発生しない。

【0036】

なお、側壁膜を形成する際に、第2酸化シリコン膜を除去することとしても良い。第2酸化シリコン膜を除去することによって、第2コンタクトホールの深さを小とすることができる。また、上述した側壁膜形成後の熱処理における酸素雰囲気から、コンタクトプラグを保護することができる。

図2に示す如き半導体装置の製造方法は、上述した半導体装置の製造方法のうち、側壁膜を形成する際にキャパシタを支持する領域以外のプラグ酸化防止膜もあわせて除去する点を除いて同一である。換言すれば、図5(a)に示す如き保護膜31を基板上に成膜した後に、図7に示す如く、保護膜31に異方性エッチングを行って、キャパシタ20を支持する領域以外のプラグ酸化防止膜を除去して、側壁膜21を形成する。

【0037】

側壁膜21を形成した後に、キャパシタの上部電極層19と第1コンタクトプラグ9とを接続する接続配線22を含むメモリ領域の配線と、第2コンタクトプラグ10に接続するロジック回路配線25と、を形成する。かかる配線が形成された後に、キャパシタ20及び上記配線を覆う第2層間絶縁層26を設けて、図2に示す如き半導体装置1aが形成できる。

【0038】

かかる製造方法によれば、プラグ酸化防止膜にコンタクトホールを形成する工程が不要である。

なお、本発明による半導体装置の実施例として、強誘電体メモリを含む混載LSIについて説明したものの、これに限定されない。例えば、ロジック領域を含まない強誘電体メモリとしても良い。

【0039】

【発明の効果】

本発明にかかる半導体装置及びその製造方法によれば、キャパシタの周縁を覆

う側壁膜にコンタクトホールを形成することなくキャパシタと集積回路とを接続することができることから、接続配線の線幅が小である場合であっても断線が生じない故、故障が発生しない強誘電体メモリを得ることができる。

【図面の簡単な説明】

【図 1】

本発明による半導体装置を示す 1 部拡大断面図である。

【図 2】

本発明による半導体装置の変形例を示す 1 部拡大断面図である。

【図 3】

本発明による半導体装置の製造工程を示す 1 部拡大断面図である。

【図 4】

図 3 に示す如き半導体装置の製造工程の続きを示す 1 部拡大断面図である。

【図 5】

図 4 に示す如き半導体装置の製造工程の続きを示す 1 部拡大断面図である。

【図 6】

図 5 に示す如き半導体装置の製造工程の続きを示す 1 部拡大断面図である。

【図 7】

本発明による半導体装置の製造工程の変形例を示す 1 部拡大断面図である。

【符号の説明】

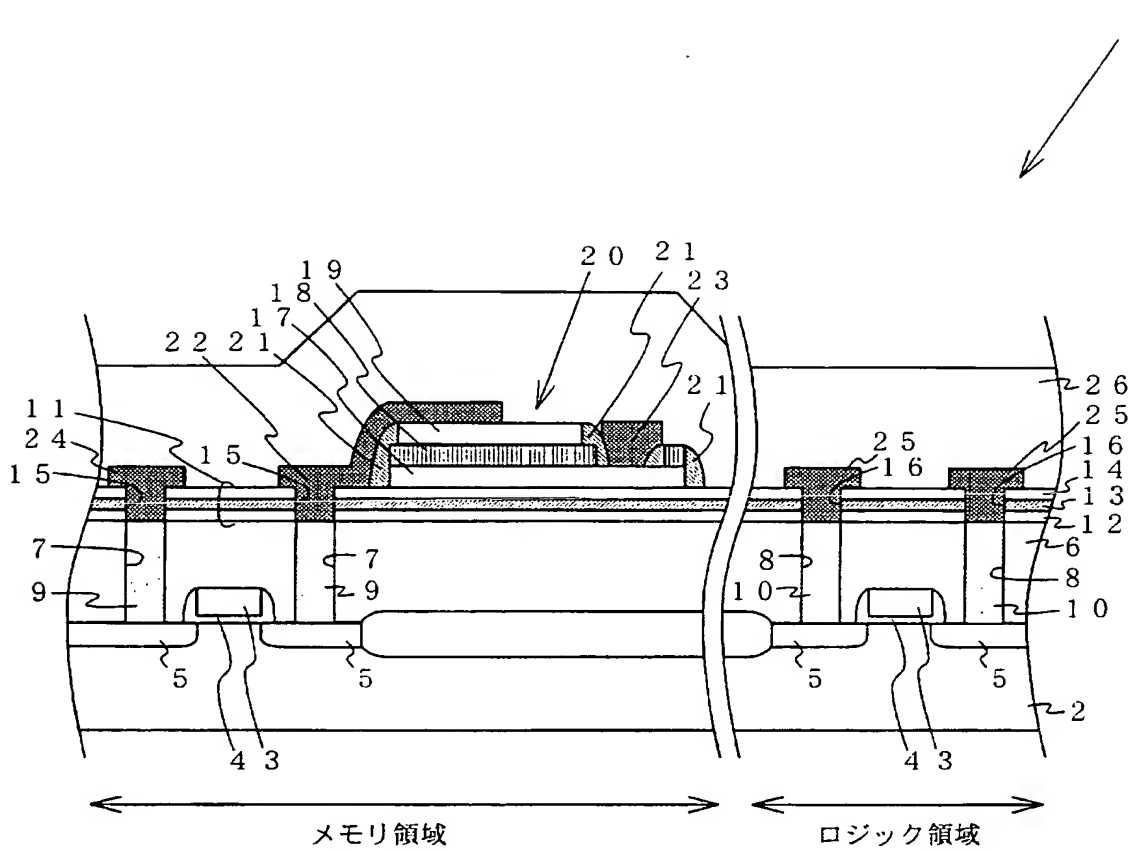
- 1 半導体装置
- 2 基板
- 3 ゲート電極
- 4 ゲート絶縁層
- 5 ソース／ドレイン領域
- 6 第 1 層間絶縁層
- 9 第 1 コンタクトプラグ
- 10 第 2 コンタクトプラグ
- 11 プラグ酸化防止膜
- 17 下部電極層

- 1 8 強誘電体層
- 1 9 上部電極層
- 2 0 キャパシタ
- 2 1 側壁膜
- 2 2 接続配線
- 2 5 ロジック回路配線
- 3 1 保護膜

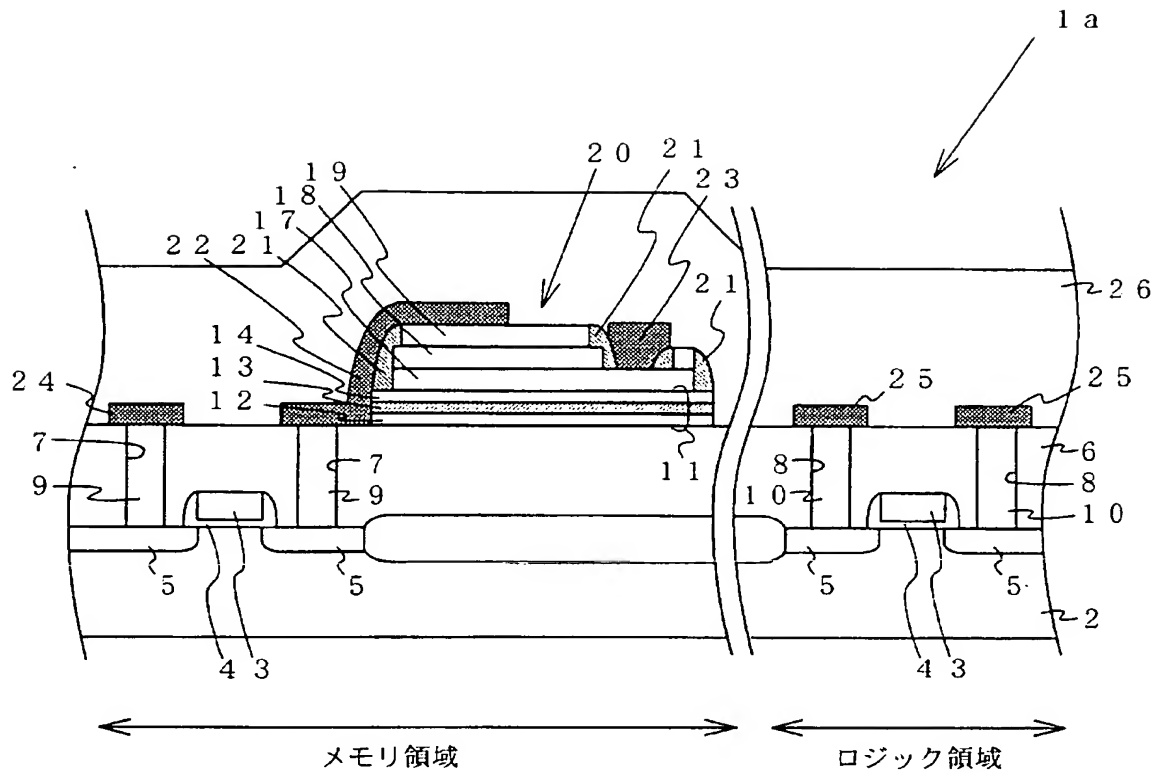
【書類名】

凶面

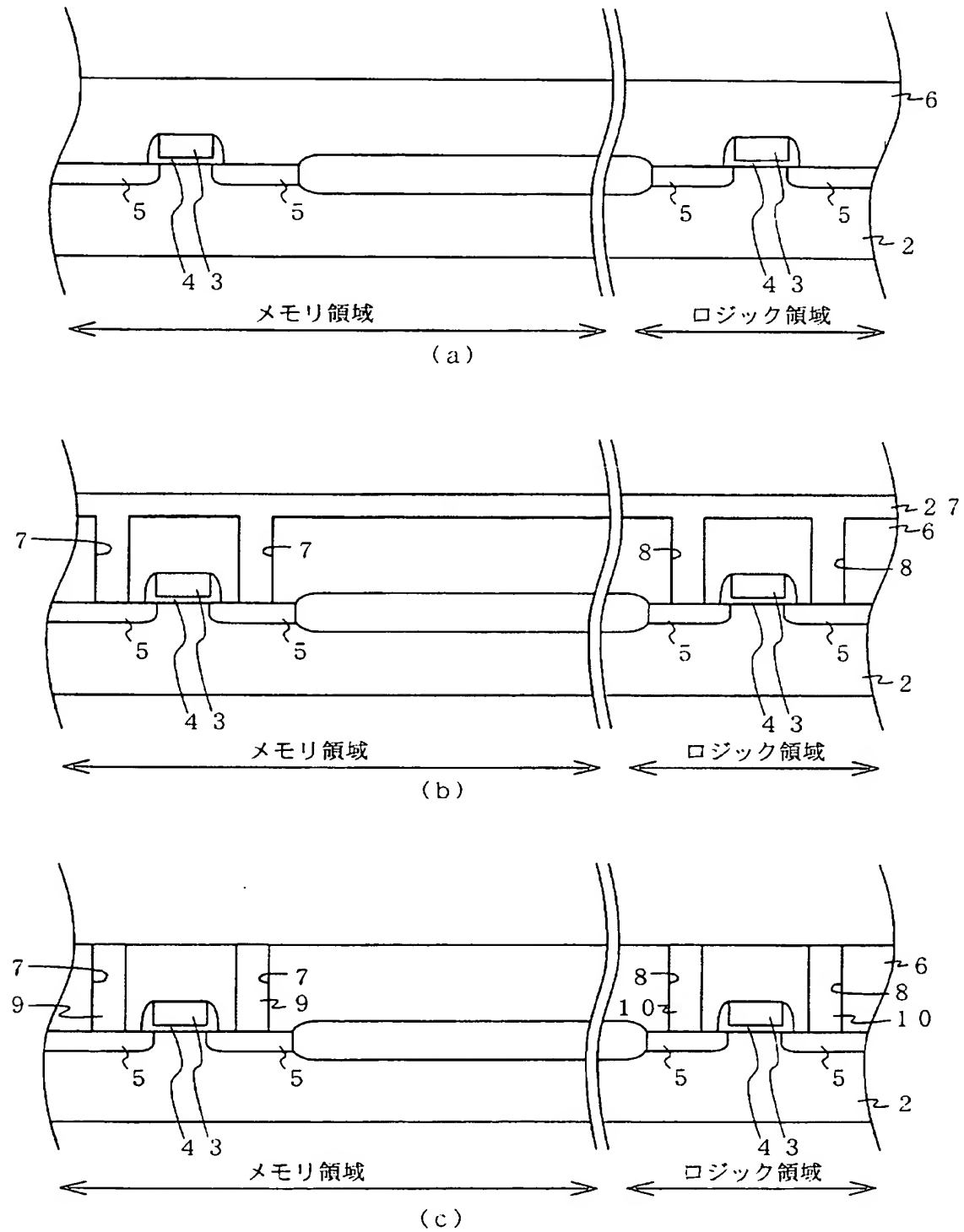
【圖 1】



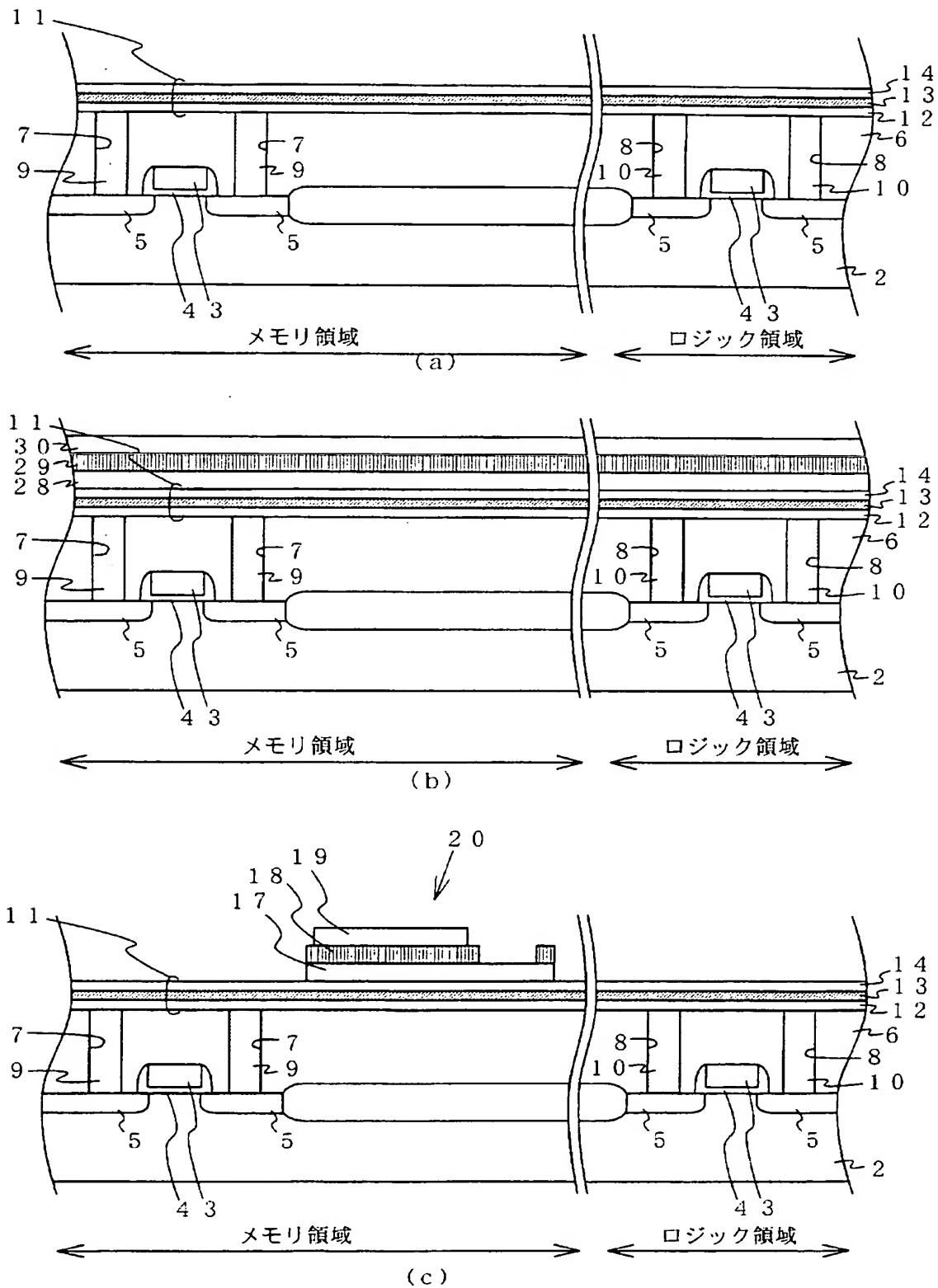
【図 2】



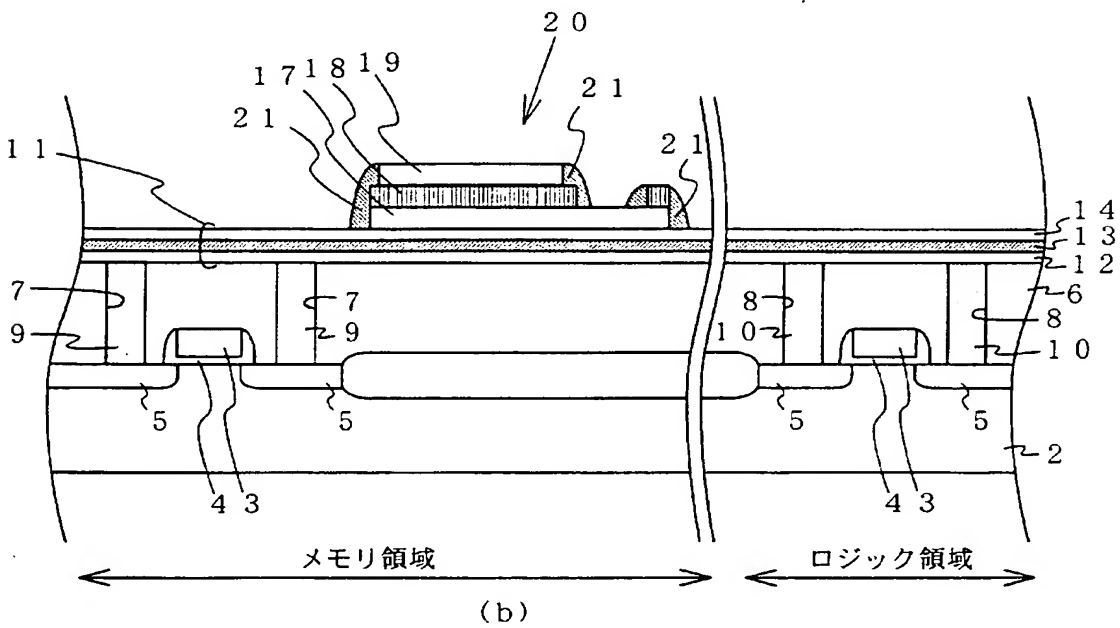
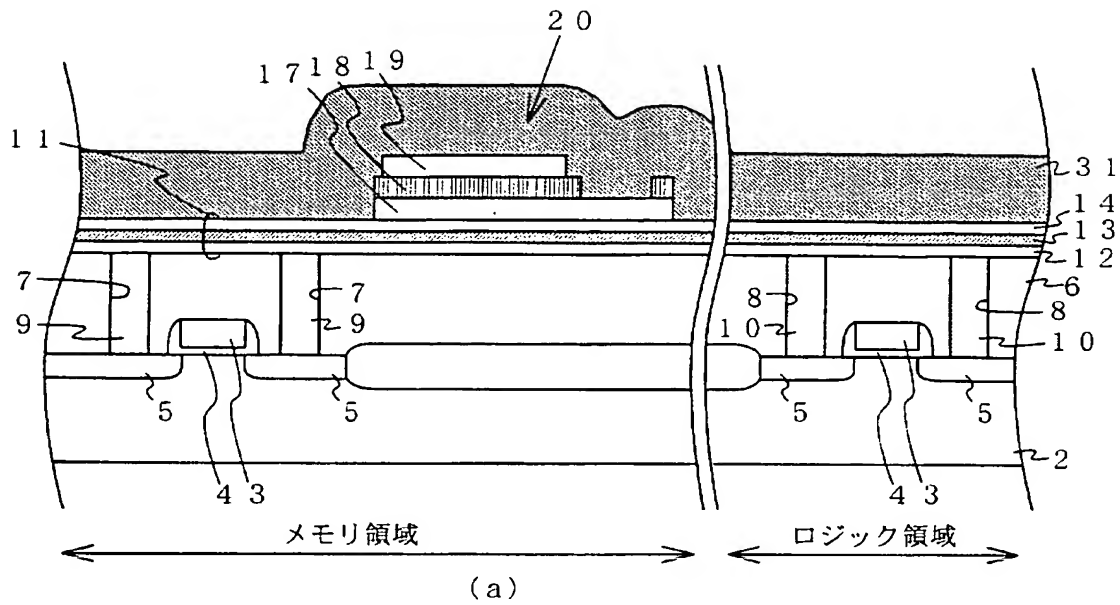
【図 3】



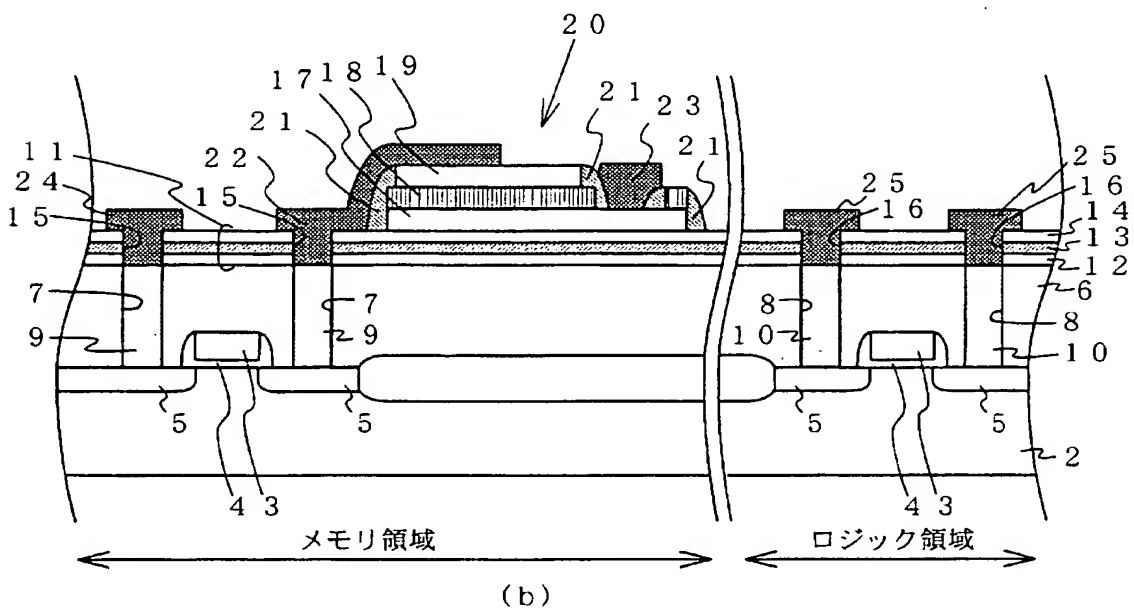
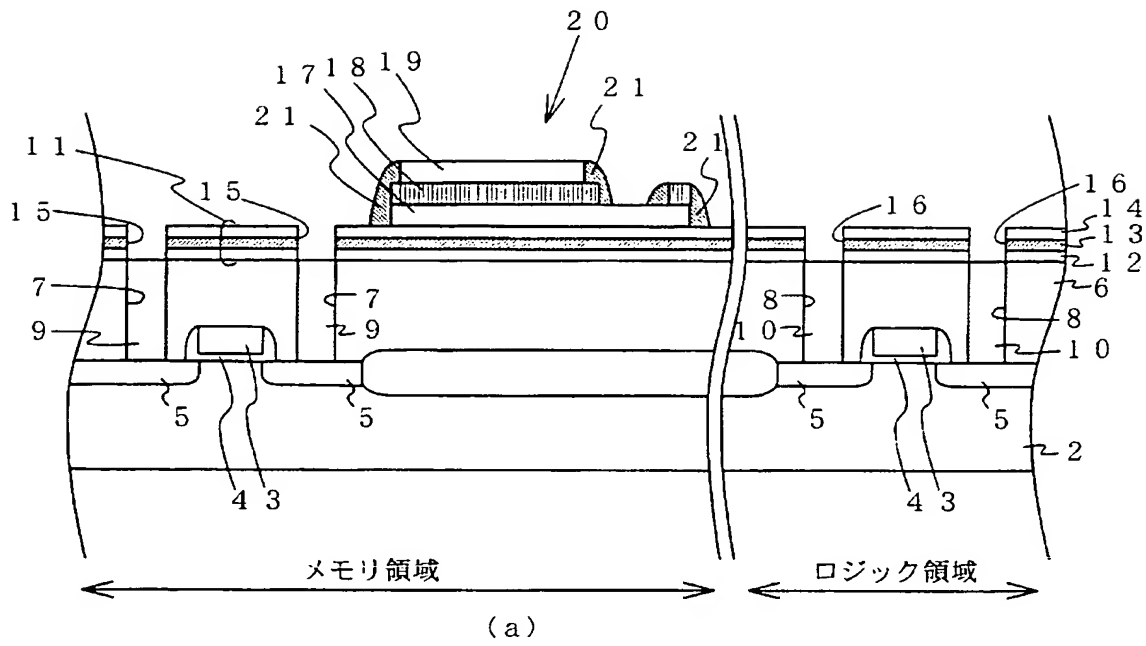
【図 4】



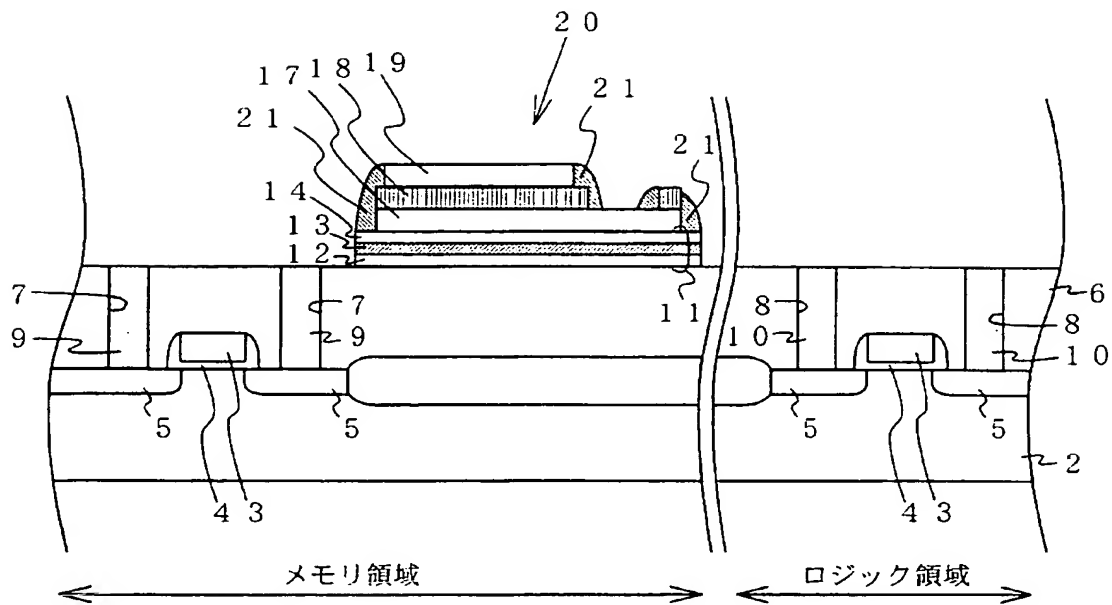
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 強誘電体キャパシタを有する半導体装置を提供する。

【解決手段】 半導体装置は、集積回路を含む基板上に形成され且つ該集積回路の 1 部を露出せしめるコンタクトホールを有する層間絶縁層と、該層間絶縁層上に第 1 電極層、強誘電体層及び第 2 電極層の順に積み重ねて形成されている強誘電体キャパシタと、該コンタクトホールの周縁部を除く該強誘電体キャパシタの周縁を覆う絶縁性の側壁膜と、を含む。該第 2 電極層と該集積回路は該コンタクトホールを介して電氣的に接続する配線層によって接続されている。

【選択図】 図 1

特願 2 0 0 3 - 1 5 3 6 9 3

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社